

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 5月18日

出 願 番 号

Application Number:

特願2000-146704

出 願 人

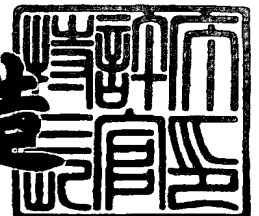
Applicant (s):

富士電機株式会社

2000年10月27日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3088150

【書類名】 特許願

【整理番号】 00P00715

【提出日】 平成12年 5月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/027

【発明者】

 【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内

 【氏名】 松崎 一夫

【発明者】

 【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内

 【氏名】 藤島 直人

【発明者】

 【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内

 【氏名】 北村 明夫

【発明者】

 【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内

 【氏名】 多田 元

【発明者】

 【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内

 【氏名】 斎藤 俊

【特許出願人】

 【識別番号】 000005234

 【氏名又は名称】 富士電機株式会社

【代理人】

【識別番号】 100088339

【弁理士】

【氏名又は名称】 篠部 正治

【先の出願に基づく優先権主張】

【出願番号】 特願2000- 8961

【出願日】 平成12年 1月18日

【手数料の表示】

【予納台帳番号】 013099

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715182

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 高耐圧デバイスおよびその製造方法、不純物拡散領域の形成方法

【特許請求の範囲】

【請求項 1】 第 1 導電型の第 1 領域と、該第 1 領域の表面層に選択的に離して形成された第 2 導電型の第 2 領域および第 1 導電型の第 3 領域と、前記第 2 領域の表面層に選択的に形成された第 1 導電型の第 4 領域と、前記第 2 領域と前記第 3 領域に挟まれた第 1 領域の表面層に選択的に形成された第 2 導電型の第 5 領域と、該第 5 領域上に形成された第 1 絶縁膜と、第 4 領域と第 1 領域に挟まれた第 2 領域上にゲート絶縁膜を介して形成されるゲート電極と、第 4 領域上に形成される第 1 主電極と、第 3 領域上に形成される第 2 主電極とを有する高耐圧デバイスにおいて、

前記第 5 領域が、前記第 3 領域から前記第 2 領域方向に濃度が異なる領域を有することを特徴とする高耐圧デバイス。

【請求項 2】 前記第 5 領域が、深さが異なる領域を有することを特徴とする請求項 1 に記載の高耐圧デバイス。

【請求項 3】 前記ゲート電極が前記第 1 絶縁膜上に延在することを特徴とする請求項 1 に記載の高耐圧デバイス。

【請求項 4】 前記第 1 領域が第 2 導電型の半導体基板の表面層に選択的に形成されることを特徴とする請求項 1 に記載の高耐圧デバイス。

【請求項 5】 前記第 2 領域が前記第 1 領域の表面層ではなく半導体基板表面層に選択的に形成されることを特徴とする請求項 3 に記載の高耐圧デバイス。

【請求項 6】 前記第 5 領域が、前記第 3 領域側から第 2 領域側へ向かって、濃度が順に高くなることを特徴とする請求項 1 ないし 5 のいずれかに記載の高耐圧デバイス。

【請求項 7】 前記第 5 領域が前記第 3 領域側から前記第 2 領域側へ向かって、深さが順に深くなることを特徴とする請求項 2 ないし 6 のいずれかに記載の高耐圧デバイス。

【請求項 8】 前記濃度が異なる領域は、第 2 導電型不純物量が異なる領域で

あることを特徴とする請求項 1 ないし 7 のいずれかに記載の高耐圧デバイス。

【請求項 9】前記第 5 領域の第 2 導電型不純物量より少ない量の第 1 導電型不純物を加え、該第 1 導電型不純物量を変えることで、前記第 5 領域の表面濃度を変化させることを特徴とする請求項 1 ないし 7 のいずれかに記載の高耐圧デバイス。

【請求項 10】第 1 導電型の第 1 領域の表面層に選択的に離して第 2 導電型の第 2 領域および第 1 導電型の第 3 領域を形成する工程と、前記第 2 領域の表面層に選択的に第 1 導電型の第 4 領域を形成する工程と、前記第 2 領域と前記第 3 領域に挟まれた第 1 領域の表面層に選択的に第 2 導電型の第 5 領域を形成する工程と、該第 5 領域上に第 1 絶縁膜を形成する工程と、第 4 領域と第 1 領域に挟まれた第 2 領域上にゲート絶縁膜を介してゲート電極を形成する工程と、第 4 領域上に第 1 主電極を形成する工程と、第 3 領域上に第 2 主電極を形成する工程とを含む高耐圧デバイスの製造方法において、

前記第 5 領域が形成されるべき第 1 領域の箇所に、第 2 導電型不純物を所定量導入する工程と、該箇所内で、該箇所を複数個の部位に分割し、第 2 領域側に近い側の部位ほど、追加して第 2 導電型不純物量を多く導入する工程と、各部位を一括して熱処理する工程とを含むことを特徴とする高耐圧デバイスの製造方法。

【請求項 11】第 1 導電型の第 1 領域の表面層に選択的に離して第 2 導電型の第 2 領域および第 1 導電型の第 3 領域を形成する工程と、前記第 2 領域の表面層に選択的に第 1 導電型の第 4 領域を形成する工程と、前記第 2 領域と前記第 3 領域に挟まれた第 1 領域の表面層に選択的に第 2 導電型の第 5 領域を形成する工程と、該第 5 領域上に第 1 絶縁膜を形成する工程と、第 4 領域と第 1 領域に挟まれた第 2 領域上にゲート絶縁膜を介してゲート電極を形成する工程と、第 4 領域上に第 1 主電極を形成する工程と、第 3 領域上に第 2 主電極を形成する工程とを含む高耐圧デバイスの製造方法において、

前記第 5 領域が形成されるべき第 1 領域の箇所に、第 2 導電型不純物を所定量導入する工程と、該箇所内で、該箇所を複数個の部位に分割し、第 2 領域側に近い側の部位に追加して第 2 導電型不純物量を多く導入する工程と、第 3 領域側に近い側の部位に第 2 導電型不純物の所定量より少ない第 1 導電型不純物を導入す

る工程と、各部位を一括して熱処理する工程とを含むことを特徴とする高耐圧デバイスの製造方法。

【請求項 1 2】第 1 導電型の第 1 領域の表面層に選択的に離して第 2 導電型の第 2 領域および第 1 導電型の第 3 領域を形成する工程と、前記第 2 領域の表面層に選択的に第 1 導電型の第 4 領域を形成する工程と、前記第 2 領域と前記第 3 領域に挟まれた第 1 領域の表面層に選択的に第 2 導電型の第 5 領域を形成する工程と、該第 5 領域上に第 1 絶縁膜を形成する工程と、第 4 領域と第 1 領域に挟まれた第 2 領域上にゲート絶縁膜を介してゲート電極を形成する工程と、第 4 領域上に第 1 主電極を形成する工程と、第 3 領域上に第 2 主電極を形成する工程とを含む高耐圧デバイスの製造方法において、

前記第 5 領域が形成されるべき第 1 領域の箇所を複数の部位に分割し、第 3 領域側に近い側の部位ほど、第 1 導電型不純物量を多く導入する工程と、該箇所に第 1 導電型不純物量より多い所定量の第 2 導電型不純物を導入する工程と、各部位を一括して熱処理する工程とを含むことを特徴とする高耐圧デバイスの製造方法。

【請求項 1 3】前記第 4 領域と前記第 1 領域に挟まれた前記第 2 領域上にゲート絶縁膜を介して前記第 1 絶縁膜上に延在するゲート電極を形成する工程を含むことを特徴とする請求項 1 0 ないし 1 2 のいずれかに記載の高耐圧デバイスの製造方法。

【請求項 1 4】前記第 1 領域が第 2 導電型の半導体基板の表面層に選択的に形成されることを特徴とする請求項 1 0 または 1 3 のいずれかに記載の高耐圧デバイスの製造方法。

高耐圧デバイスの製造方法。

【請求項 1 5】半導体基板に、不純物拡散領域を形成する方法において、前記半導体基板上に前記半導体基板に近づくにつれて広くなる第 1 の開口部を有するイオン注入マスクを形成する工程と、前記イオン注入マスクをマスクとしてイオン注入を行い、少なくとも前記第 1 の開口部に対応する前記半導体基板表面にイオン注入する工程と、注入された不純物イオンを拡散する熱処理工程とを含むことを特徴とする不純物拡散領域の形成方法。

【請求項 1 6】前記イオン注入マスクを形成する工程は、前記半導体基板上に複数の異なる層を積層する工程と、前記複数の層の最上の層から下層の層にかけて順に一つ上の層をマスクとしてエッチングし、一つ上の層の開口部より大きい開口部を形成し、前記第 1 の開口部を形成する工程とを、含むことを特徴とする請求項 1 5 に記載の不純物拡散領域の形成方法。

【請求項 1 7】前記半導体基板上にマスク用酸化膜を形成する工程と、該マスク用酸化膜上にフォトレジストを被覆する工程と、該フォトレジストをフォトマスクで選択的に第 2 の開口部を形成する工程と、該第 2 の開口部を有する前記フォトレジストをマスクとして、前記第 2 の開口部直下の前記マスク用酸化膜と、前記第 2 の開口部の端部近傍直下で前記第 2 の開口部の端部から所定の横方向距離にある前記マスク用酸化膜とを除去する工程と、前記第 2 の開口部直下の半導体基板と、前記フォトレジスト直下の前記マスク用酸化膜が無い箇所の半導体基板と、前記マスク用酸化膜直下の半導体基板とに、同時に、前記フォトレジストと前記マスク用酸化膜とをそれぞれ貫通して、前記半導体基板に不純物イオンが達するイオン注入を行う工程と、注入された前記不純物イオンを拡散する熱処理工程とを含むことを特徴とする請求項 1 5 に記載の不純物拡散領域の形成方法。

【請求項 1 8】前記半導体基板に酸化膜を形成する工程と、該酸化膜上に窒化膜を形成する工程と、前記窒化膜上にフォトレジストを塗布する工程と、該フォトレジストを硬化させた後、フォトリソグラフィーで拡散領域を形成すべき部分の前記フォトレジストに第 3 の開口部を形成する工程と、該第 3 の開口部の前記窒化膜を除去し、該窒化膜に第 4 の開口部を形成する工程と、該窒化膜をマスクとして、前記酸化膜を、前記第 4 の開口部の端部から所定の横方向距離をエッチングし、前記酸化膜に第 5 の開口部を形成する工程と、前記フォトレジストと前記窒化膜と前記酸化膜で構成されるイオン注入マスクを介して、ボロンイオンのイオン注入を全面に行う工程と、該イオン注入マスクを除去し、熱拡散する工程とを含むことを特徴とする請求項 1 5 に記載の不純物拡散領域の形成方法。

【請求項 1 9】前記半導体基板上に酸化膜を形成し、該酸化膜上に窒化膜を形成する工程と、該窒化膜上にフォトレジストを被覆する工程と、該フォトレジ

ストをフォトマスクで選択的に開口する工程と、該開口された前記フォトレジストをマスクとして、前記フォトレジストの開口部直下の前記窒化膜と、前記フォトレジストの開口端部近傍直下で開口端部から所定の横方向距離にある前記窒化膜とを除去する工程と、第 1 導電形不純物イオンを前記フォトレジストをマスクとして、前記半導体基板にイオン注入する工程と、前記フォトレジストを除去し、前記窒化膜が被覆していない箇所の前記酸化膜を熱処理により選択酸化膜とする工程と、前記窒化膜を除去する工程と、該選択酸化膜をマスクとして、第 2 導電形不純物イオンを前記半導体基板にイオン注入する工程と、前記第 1 および第 2 導電形不純物イオンを拡散する熱処理工程とを含むことを特徴とする不純物拡散領域の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、スイッチング電源用、モータ駆動用、あるいは蛍光灯インバータ駆動用などの高耐圧パワー IC に用いられる高耐圧横型パワーデバイスなどの高耐圧デバイスに関する。

【0002】

【従来の技術】

スイッチング電源用、モータ駆動用、あるいは蛍光灯インバータ駆動用に PWM (Pulse Width Modulation) 制御方式が普及し、制御回路の高機能化、小型化、低コスト化、高信頼性化および低消費電力化の要求がある。これに伴い高耐圧パワー素子を集積したパワー IC の需要が高まっている。商用 100V～200V の電源を駆動する電源用パワー IC はトランスを駆動するため、700V の素子耐圧が必要となる。制御部との集積化を容易にするために、横型で、基板やドリフト領域を高抵抗（低不純物濃度）とする必要があることは、電気学会研究会 EDD-93-21、pp21-29（1993）や USP 5452370 号公報に開示されている。

【0003】

図 21 は、従来の高耐圧デバイスの要部断面図である。150Ωcm 程度の高

抵抗の p 基板 1 7 1 に n ウエル領域 1 7 2 および p ベース領域 1 7 3 を形成する。n ウエル領域 1 7 2 の表面不純物濃度（以下、表面濃度と称す）は $3 \times 10^{16} \text{ cm}^{-3}$ 、拡散深さは $6 \mu\text{m}$ である。また、p ベース領域 1 7 3 の表面濃度は $3 \times 10^{16} \text{ cm}^{-3}$ 、拡散深さは $2 \mu\text{m}$ であり、この表面濃度でパワー MOS FET のしきい値電圧が設定される。

【 0 0 0 4 】

また、n ドリフト領域（Ld 部）の表面には深さ $1 \mu\text{m}$ 、表面濃度 $5 \times 10^{16} \text{ cm}^{-3}$ の p 拡散層 1 7 9（p オフセット領域となる）を形成する。この後、厚さ $0.6 \mu\text{m}$ の熱酸化膜により絶縁膜 1 8 0 を形成し、また、 25 nm のゲート酸化膜 1 8 3 を介してポリシリコンでゲート電極 1 7 7 を形成する。n ソース領域 1 7 5 および n ドレイン領域 1 7 4 に、図示しない表面濃度 $1 \times 10^{20} \text{ cm}^{-3}$ 、拡散深さ $0.2 \mu\text{m}$ の n^+ コンタクト領域を形成し、p ベース領域 1 7 3 の表面にコンタクト用の p^+ コンタクト領域 1 7 6（表面濃度 $5 \times 10^{19} \text{ cm}^{-3}$ 、拡散深さ $0.5 \mu\text{m}$ ）を形成し、図示しない層間絶縁膜を形成し、コンタクトホール開口後、ソース電極 1 8 1 およびドレイン電極 1 8 2 を形成する。また、n ウエル領域 1 7 9 上に LOCOS などの絶縁膜 1 8 0 を形成し、ゲート電極 1 7 7 をこの絶縁膜 1 8 0 に延在させる。この構造では p 拡散層 1 7 9 の下の n ウエル領域 1 7 2 のドナー総量は $1 \times 10^{12} \text{ cm}^{-2}$ である。n ウエル領域 1 7 2 のドナー総量と p 基板 1 7 1 の比抵抗、p 拡散層 1 7 9 の濃度、n ドリフト領域の距離 Ld を最適化し、高耐圧化がなされる。この構造の利点は、p 拡散層 1 7 9 と n ウエル領域 1 7 2 のそれぞれの濃度を最適化しながら、n ウエル領域 1 7 2 の濃度を高めて、オン抵抗を低減することができる点にある。

【 0 0 0 5 】

前記の従来の p 拡散層 1 7 9 を形成する手順を簡単に説明する。この p 拡散層は、以下で述べる p 型の不純物拡散領域のことである。

図 2 2 は、従来の不純物拡散領域を形成する方法の一例を示す図であり、同図（a）はイオン注入工程の図、同図（b）は熱拡散工程の図である。

n シリコン基板 5 1 の表面にイオン注入マスクとなるフォトレジスト 5 2 を形成し、図示しないフォトマスクにして、このフォトレジスト 5 2 をパターニング

する。つぎに、全面に例えばボロンイオン注入55をして、フォトレジスト52の開口部である拡散形成領域53にボロンイオン54を打ち込む（同図（a））。つぎに、フォトレジスト52を除去し、熱拡散を行って、打ち込まれたボロンイオン54を、活性化させると、同時に、nシリコン基板51内に拡散させ、p領域56が形成される（同図（b））。尚、イオン注入マスクとしては、ここで説明したフォトレジスト52の他にSiO₂膜などがある。この場合、一枚のイオン注入マスクを形成するためのフォトマスク（エマルジョンやクロムでパターンニングされたガラス板のこと）が1枚必要となる。

【0006】

また、図22の不純物拡散領域を用いた従来の高耐圧横形パワーMOSFETの要部断面図と動作の概略について図23を用いて説明する。

この素子は700V以上の素子耐圧をもち、ゲート電極608に+5Vのゲート信号が加わると、ゲート直下のpベース領域603にチャネルが形成され、nソース領域604から電子はこのチャネルを通りnドリフト領域（nシリコン基板601）に入り、nドレイン領域605に吸い込まれてオン状態となる。ゲートがオフした場合はpベース領域603とnベース領域（nシリコン基板601）のpn接合面、およびnベース領域（nシリコン基板601）とpオフセット領域602のpn接合面に逆バイアスが印加されて素子全体としてオフ時の耐圧を確保する構造となっている。尚、図中の606はpコンタクト領域、607はゲート酸化膜、609は絶縁膜、610はソース電極、611はドレイン電極である。

【0007】

【発明が解決しようとする課題】

前記の図21において、オン電圧を低下させるために、nウエル領域172を高濃度にすると、図24に示すように、ソース側の電界集中が顕著となる。また、p拡散層170がドレイン方向に大きく張り出しているため、ドレイン側表面の電界集中も顕著となる（図24（a））。このため、酸化膜界面のA点またはB点の電界強度 E_A および E_B が 3×10^5 V/cm以上に高くなり、ブレイクダウンがA点またはB点で発生する。このように、表面で耐圧が決まる構造では

、界面や酸化膜内部の寄生電荷の影響、さらには、素子表面の外部寄生電荷の影響を受けやすく耐圧が不安定になる。このため、素子を樹脂でモールドした場合、モールド樹脂内の可動イオンの影響で上記電界集中がより顕著となり、耐圧劣化を招く場合がある。さらに、耐圧に対する n ウェル領域 1 7 2 や p 拡散層 1 7 9 のイオン注入ドーズ量のプロセスマージンが少なくプロセスバラツキにより耐圧不良となる場合がある。

【 0 0 0 8 】

この発明の目的は、前記の課題を解決して、低コストで、耐圧の安定化を図ることができる高耐圧デバイスおよびその製造方法とこの高耐圧デバイスに適用される不純物拡散領域の形成方法を提供することにある。

【 0 0 0 9 】

【課題を解決するための手段】

前記の目的を達成するために、第 1 導電型の第 1 領域（例えば n ウェル領域）と、該第 1 領域（n ウェル領域）の表面層に選択的に離して形成された第 2 導電型の第 2 領域（p ベース領域）および第 1 導電型の第 3 領域（n ドレイン領域）と、前記第 2 領域（p ベース領域）の表面層に選択的に形成された第 1 導電型の第 4 領域（n ソース領域）と、前記第 2 領域（p ベース領域）と前記第 3 領域（n ドレイン領域）に挟まれた第 1 領域（n ウェル領域）の表面層に選択的に形成された第 2 導電型の第 5 領域（p オフセット：p 拡散層）と、該第 5 領域（p オフセット領域）上に形成された第 1 絶縁膜（LOCOS 酸化膜などの熱酸化膜）と、第 4 領域（n ソース領域）と第 1 領域（n ウェル領域）に挟まれた第 2 領域（p ベース領域）上にゲート絶縁膜を介して形成されるゲート電極と、第 4 領域（n ソース領域）上に形成される第 1 主電極（ソース電極）と、第 3 領域（n ドレイン領域）上に形成される第 2 主電極（ドレイン電極）とを有する高耐圧デバイスにおいて、

又、前記第 5 領域（p オフセット領域）が、前記第 3 領域から前記第 2 領域方向に濃度が異なる箇所を有する構成とする。

【 0 0 1 0 】

また、前記第 5 領域が、深さが異なる領域を有する構成とする。

また、前記ゲート電極が前記第 1 絶縁膜（熱酸化膜）上に延在させてもよい。

また、前記第 1 領域が第 2 導電型の半導体基板（p 基板）の表面層に選択的に形成されるよい。

前記第 2 領域が前記第 1 領域の表面層ではなく半導体基板表面層に選択的に形成される構成とするとよい。

【0011】

また、前記第 5 領域が、前記第 3 領域側から第 2 領域側へ向かって、濃度が順に高くなる領域を有する構成としてもよい。

また、前記第 5 領域が前記第 3 領域側から前記第 2 領域側へ向かって、深さが順に深くなる構成としてもよい。

また、前記濃度が異なる領域は、第 2 導電型不純物量が異なる領域である。

【0012】

また、前記第 5 領域の第 2 導電型不純物量より少ない量の第 1 導電型不純物を加え、該第 1 導電型不純物量を変えることで、前記第 5 領域の濃度を変化させてもよい。

前記のように、p オフセット領域を複数の表面濃度と拡散深さの異なる箇所で作成することで、電界強度の緩和を図ることができる。またゲート電極を熱酸化膜上まで延在（張り出すこと）すると、この張り出し箇所がフィールドプレートとなり、この箇所での電界を緩和する。

【0013】

第 1 導電型の第 1 領域（例えば、n ウエル領域）の表面層に選択的に離して第 2 導電型の第 2 領域（p ベース領域）および第 1 導電型の第 3 領域（n ドレイン領域）を形成する工程と、前記第 2 領域（p ベース領域）の表面層に選択的に第 1 導電型の第 4 領域（n ソース領域）を形成する工程と、前記第 2 領域（p ベース領域）と前記第 3 領域（n ドレイン領域）に挟まれた第 1 領域（n ウエル領域）の表面層に選択的に第 2 導電型の第 5 領域（p オフセット領域）を形成する工程と、該第 5 領域（p オフセット領域）上に第 1 絶縁膜（熱酸化膜）を形成する工程と、第 4 領域（n ソース領域）と第 1 領域（n ウエル領域）に挟まれた第 2 領域（p ベース領域）上にゲート絶縁膜を介してゲート電極を形成する工程と、

第4領域（nソース電極）上に第1主電極（ソース電極）を形成する工程と、第3領域（nドレイン領域）上に第2主電極（ドレイン電極）を形成する工程とを含む高耐圧デバイスの製造方法において、

前記第5領域（pオフセット領域）が形成される予定の第1領域（nウエル領域）の箇所に、第2導電型不純物（p型不純物）を所定量導入する工程と、該箇所内で、該箇所を複数個の部位に分割し、第2領域（pベース領域）側に近い側の部位ほど、追加して第2導電型不純物量（p型不純物量）を多く導入する工程と、各部位を一括して熱処理（アニール）する工程とを含む製造方法とする。

【0014】

また、前記第5領域が形成される予定の第1領域の箇所に、第2導電型不純物を所定量導入する工程と、該箇所内で、該箇所を複数個の部位に分割し、第2領域側に近い側の部位に第2導電型不純物量を追加導入する工程と、第3領域側に近い側の部位に第2導電型不純物の所定量より少ない第1導電型不純物（n型不純物）を導入する工程と、各部位を一括して熱処理する工程とを含む製造方法としてもよい。

【0015】

また、前記第5領域が形成される予定の第1領域の箇所を複数個の部位に分割し、第3領域側に近い側の部位ほど第1導電型不純物量を多く導入する工程と、該箇所に第1導電型不純物量より多い所定量の第2導電型不純物を導入する工程と、各部位を一括して熱処理する工程とを含む製造方法としてもよい。

また、前記の製造方法において、前記第1絶縁膜上に延在させてゲート電極を形成してもよい。

【0016】

また、前記第1領域が第2導電型の半導体基板の表面層に選択的に形成しても構わない。

半導体基板（この基板は前記のnウエル領域のような領域でもあってもよい）に、不純物拡散領域（前記のpオフセット領域など）を形成する方法において、前記半導体基板上に前記半導体基板に近づくにつれて広くなる第1の開口部を有するイオン注入マスクを形成する工程と、前記イオン注入マスクをマスクとして

イオン注入を行い、少なくとも前記第 1 の開口部に対応する前記半導体基板表面にイオン注入する工程と、注入された不純物イオンを拡散する熱処理工程とを含む形成方法とする。前記イオン注入マスクを形成する工程は、前記半導体基板上に複数の異なる層を積層する工程と、前記複数の層の最上の層から下層の層にかけて順に一つ上の層をマスクとしてエッチングし、一つ上の層の開口部より大きい開口部を形成し、前記第 1 の開口部を形成する工程とを含む形成方法でもよい。

【 0 0 1 7 】

また、前記半導体基板上にマスク用酸化膜を形成する工程と、該マスク用酸化膜上にフォトレジストを被覆する工程と、該フォトレジストをフォトマスクで選択的に第 2 の開口部を形成する工程と、該第 2 の開口部を有する前記フォトレジストをマスクとして、前記第 2 の開口部直下の前記マスク用酸化膜と、前記第 2 の開口部の端部近傍直下で前記第 2 の開口部の端部から所定の横方向距離にある前記マスク用酸化膜とを除去する工程と、前記第 2 の開口部直下の半導体基板と、前記フォトレジスト直下の前記マスク用酸化膜が無い箇所の半導体基板と、前記マスク用酸化膜直下の半導体基板とに、同時に、前記フォトレジストと前記マスク用酸化膜とをそれぞれ貫通して、前記半導体基板に不純物イオンが達するイオン注入を行う工程と、注入された前記不純物イオンを拡散する熱処理工程とを含む形成方法でもよい。

【 0 0 1 8 】

また、前記半導体基板に酸化膜を形成する工程と、該酸化膜上に窒化膜を形成する工程と、前記窒化膜上にフォトレジストを塗布する工程と、該フォトレジストを硬化させた後、フォトリソグラフィーで拡散領域を形成すべき部分の前記フォトレジストに第 3 の開口部を形成する工程と、該第 3 の開口部の前記窒化膜を除去し、該窒化膜に第 4 の開口部を形成する工程と、該窒化膜をマスクとして、前記酸化膜を、前記第 4 の開口部の端部から所定の横方向距離をエッチングし、前記酸化膜に第 5 の開口部を形成する工程と、前記フォトレジストと前記窒化膜と前記酸化膜で構成されるイオン注入マスクを介して、ボロンイオンのイオン注入を全面に行う工程と、該イオン注入マスクを除去し、熱拡散する工程とを含む

形成方法でもよい。

【 0 0 1 9 】

また、前記半導体基板上に酸化膜を形成し、該酸化膜上に窒化膜を形成する工程と、該窒化膜上にフォトレジストを被覆する工程と、該フォトレジストをフォトマスクで選択的に開口する工程と、該開口された前記フォトレジストをマスクとして、前記フォトレジストの開口部直下の前記窒化膜と、前記フォトレジストの開口端部近傍直下で開口端部から所定の横方向距離にある前記窒化膜とを除去する工程と、第 1 導電形不純物イオンを前記フォトレジストをマスクとして、前記半導体基板にイオン注入する工程と、前記フォトレジストを除去し、前記窒化膜が被覆していない箇所の前記酸化膜を熱処理により選択酸化膜とする工程と、前記窒化膜を除去する工程と、該選択酸化膜をマスクとして、第 2 導電形不純物イオンを前記半導体基板にイオン注入する工程と、前記第 1 および第 2 導電形不純物イオンを拡散する熱処理工程とを含む形成方法でもよい。

【 0 0 2 0 】

【発明の実施の形態】

この発明の概要について説明する。従来構造である図 2 3 に示される単一の濃度と厚さの p 領域 6 0 2 (p オフセット領域) の代わりに、図 1 9 のように、濃度の異なる複数の p 領域 5 7 (p オフセット領域) を形成することで、前記のような電界集中を抑制できる。図 1 9 の p 領域 5 7 は、I、II、III の 3 つの濃度の異なる箇所からなる場合である。この濃度の異なる箇所を形成するには、つぎの 2 つの方法がある。

【 0 0 2 1 】

第一の方法は、図示しないが、図 2 2 (a) で、フォトマスクを変えて複数回イオン注入を繰り返し、その後一括して熱処理し形成する方法であり、第二の方法は、図 2 0 に示すように、イオン注入マスク材を 3 種類 (6 1、6 2、6 3) 変えて、その組み合わせでイオン注入マスクの厚さを、B、C、D の領域で段階的に変わるようにし、1 回のイオン注入 5 8 でイオン 5 9 のドーズ量を制御して形成する方法である。

【 0 0 2 2 】

この第一の方法は一つの箇所に一つのフォトマスクが必要になるために、形成する箇所の数だけフォトマスクの枚数が必要になる。また、第二の方法も膜厚の異なる箇所を有するイオン注入マスクの形成が必要となる。膜厚が異なる箇所を形成するためには、厚みが異なる箇所の数だけ、フォトマスクが必要となる。まず、第一の方法について説明する。

【 0 0 2 3 】

図 1 は、この発明の第 1 実施例の高耐圧デバイスの要部断面図である。これは、濃度の異なる箇所を組み合わせた p 領域（p オフセット領域）を有する高耐圧横形 MOSFET の断面構造の主要部分の図である。

半導体基板である n シリコン基板 7 1 の表面層に、p ベース領域 8 7、n ドレイン 8 9、p オフセット領域 8 3 を形成し、p ベース領域 8 7 の表面層に n ソース領域と 8 8 と p⁺ コンタクト領域 9 0 を形成する。p オフセット領域 8 3 は、高い濃度と拡散深さの深い第 1 p 領域 8 3 a と、中間の濃度と拡散深さの第 2 p 領域 8 3 b と、低い濃度と拡散深さの浅い第 3 p 領域 8 3 c で構成される。n ソース領域 8 8 と n シリコン基板（または p オフセット領域 8 3）に挟まれた p 領域 8 7 上にゲート絶縁膜 9 1 を介してゲート電極が形成される。ゲート電極 9 2 上と p オフセット領域 8 3 上に絶縁膜 9 3 を形成し、n ソース領域 8 8 上、n ドレイン領域 8 9 上にソース電極 9 4、ドレイン電極 9 5 をそれぞれ形成する。

【 0 0 2 4 】

従来の p オフセット領域との違いは、p オフセット領域 8 3 が 3 つの濃度の異なる第 1、第 2、第 3 p 領域 8 3 a、8 3 b、8 3 c で構成されている点である。

この p オフセット領域 8 3 の濃度プロファイルを表 1 に示す。

【 0 0 2 5 】

【表 1】

オフセット領域	第 1	第 2	第 3
表面濃度 (cm ⁻³)	7×10 ¹⁶	5×10 ¹⁶	3×10 ¹⁶
拡散深さ (μm)	1.5	1.2	0.9

第 1 p 領域 8 3 a が一番濃度が高く、第 3 p 領域 8 3 c が濃度が一番低い。

図 2 は、単一の p オフセット領域と、濃度の異なる p 領域で構成される p オフセット領域とでの電界強度分布を比較した図である。

【 0 0 2 6 】

オフの状態では、図 2 3 の構造の場合、p オフセット領域 6 0 2 の両端で電界強度が異常に高くなるが、図 1 の構造にすると、p オフセット領域 8 3 全体に亘って電界強度が比較的均等になり、素子耐圧に関する信頼性が向上する。

つぎに、図 1 で示した、濃度の異なる複数の p 層からなる p オフセット領域を形成した高耐圧デバイスの製造方法について説明する。

【 0 0 2 7 】

図 3 から図 1 2 は、この発明の第 2 実施例の高耐圧デバイスの製造方法で、工程順に示した要部製造工程図である。これは、濃度の異なる複数の p 層からなる p オフセット領域（不純物拡散領域）を形成する方法である。

n シリコン基板 7 1 上にフォトレジスト 7 4 a を被覆し、フォトマスク 7 0 0 を介して紫外線 7 0 1 を照射した後、エッチングでフォトレジスト 7 0 0 に開口部 7 5 を形成する（図 3）。

【 0 0 2 8 】

つぎに、高濃度のボロンイオン注入 7 7 を行い、ボロンイオン 7 6 を n シリコン基板 7 1 に注入する（図 4）。

つぎに、n シリコン基板 7 1 上のフォトレジスト 7 4 a を除去し、再度フォトレジスト 7 4 b を被覆し、フォトマスク 7 0 2 を介して紫外線 7 0 3 を照射した後、エッチングでフォトレジスト 7 4 b に開口部 7 8 を形成する（図 5）。

【 0 0 2 9 】

つぎに、中濃度のボロンイオン注入 7 9 を行い、ボロンイオン 8 0 を n シリコン基板 7 1 に注入する（図 6）。

つぎに、n シリコン基板 7 1 上のフォトレジスト 7 4 b を除去し、再度フォトレジスト 7 4 c を被覆し、フォトマスク 7 0 4 を介して紫外線 7 0 5 を照射した後、エッチングでフォトレジスト 7 4 c に開口部 8 1 を形成する（図 7）。

【 0 0 3 0 】

つぎに、低濃度のボロンイオン注入 8 2 を行い、ボロンイオン 8 1 を n シリコン基板 7 1 に注入する (図 8)。

つぎに、熱拡散して、3 つの濃度の異なる領域を有する p 領域 8 3 を形成する。この p 領域が p オフセット領域となる (図 9)。

つぎに、n シリコン基板 7 1 表面と p 領域 8 3 表面にフォトレジスト 8 4 を被覆し、フォトマスク 7 0 7 を介して紫外線 7 0 8 を照射した後、エッチングでフォトレジスト 8 4 に開口部 8 5 を形成する (図 1 0)。

【 0 0 3 1 】

つぎに、高濃度のボロンイオン注入 8 7 を行い、ボロンイオン 8 6 を n シリコン基板 7 1 に注入する (図 1 1)。

つぎに、熱拡散して p ベース領域となる p 領域 8 7 を形成する (図 1 2)。

この後、図示しない複数の工程を経て、図 1 の高耐圧横形 MOS F E T が完成する。

【 0 0 3 2 】

前記のように、3 つの濃度の異なる p オフセット領域を形成するために、3 つのフォトマスク 7 0 0、7 0 2、7 0 4 が必要となり、フォトリソグラフィの工程と、イオン注入工程もイオン注入量を変えて 3 回必要となる。

つぎに、具体的な高耐圧デバイスについて製造方法も含めて説明する。

図 1 3 は、この発明の第 3 実施例の高耐圧デバイスの要部断面図である。1 5 0 Ω c m 程度の高抵抗の p 基板 1 5 1 に、n ウエル領域 1 5 2 および p ベース領域 1 5 3 を形成する。n ウエル領域 1 5 2 の表面濃度は 3×10^{16} c m⁻³、拡散深さは 6 μ m であり、後述する p 拡散層 1 5 9 を形成した後の n ウエル領域 1 5 2 のドナー総量は 1×10^{12} c m⁻³ である。また、n ドリフト領域 (n ウエル領域 1 5 2 の L d 部) の表面には p 拡散層 1 5 8 (図 1 の p 領域 8 7 に相当する) を形成する (7 0 0 V 耐圧の場合: L d = 7 0 μ m)。この p 拡散層 1 5 9 は L p 1 部、L p 2 部、L p 3 部の 3 領域 1 5 9 a、1 5 9 b、1 5 9 c (図 1 の第 1、第 2、第 3 p 領域に相当する) に分割されている。各領域の幅は一例として L p 1 は約 2 5 μ m、L p 2 は約 2 0 μ m、L p 3 は約 2 5 μ m 程度である。ドーピングする不純物濃度として、各 p 拡散層 1 5 9 a、1 5 9 b、1 5 9 c の表面濃

度は、L p 1 部はL p 2 部に対して約 10 % 高濃度、L p 3 部はL p 2 部に対して約 10 % 低濃度に設定する。具体的な表面濃度の一例としては、各々 $5.5 \times 10^{16} \text{ cm}^{-3}$ (L p 1 部)、 $5.0 \times 10^{16} \text{ cm}^{-3}$ (L p 2 部)、 $4.5 \times 10^{16} \text{ cm}^{-3}$ (L p 3 部) である。

【0033】

実際の製造工程においては、イオン注入法により、L p 1 部、L p 2 部、L p 部を合わせた領域に、熱処理後、 $5.0 \times 10^{16} \text{ cm}^{-3}$ の表面濃度になるようにボロンを注入し（この注入によるボロンの熱処理後の深さは、158 の点線的位置にくる）、L p 1 部に、熱処理後、 $0.5 \times 10^{16} \text{ cm}^{-3}$ の表面濃度になるようにボロンを追加する。そしてL p 3 部には、熱処理後、 $0.5 \times 10^{16} \text{ cm}^{-3}$ の表面濃度になるようにリンをドーピングし、ボロンを補償する。工程を単純化するためドライブ条件は各拡散に対して同一の処理を行うため拡散深さはL p 1 が $1.1 \mu\text{m}$ 、L p 2 が $1.0 \mu\text{m}$ 、L p 3 が $0.9 \mu\text{m}$ となる。このように、予め所定量のボロンを導入し、その後で追加のボロンとリンを導入することで、各領域 159 a、159 b、159 c の表面濃度と拡散深さを、精度よく設定できる。p ベース領域 153 の表面濃度は $3 \times 10^{16} \text{ cm}^{-3}$ 、拡散深さは $2 \mu\text{m}$ であり、表面濃度によりパワー MOSFET のしきい値電圧が設定される。前記のように、予め所定量のボロンを導入し、その後で追加のボロンとリンを導入することで、p 拡散層 159 を構成する各領域 159 a、159 b、159 c の濃度と拡散深さを、精度よく設定できる。勿論、精度は悪いが、ボロンのみをイオン注入して、表面濃度と拡散深さの異なる複数の p 領域を形成しても構わない。

【0034】

この後、厚さ $0.6 \mu\text{m}$ の熱酸化膜 (LOCOS 酸化膜 (熱酸化膜) などの絶縁膜 160) を形成し、また、 25 nm のゲート酸化膜 163 を介して、ポリシリコンのゲート電極 157 (図の L はチャネル形成部) を形成する。n ソース領域 155 および n ドレイン領域 154 に、図示しない表面濃度 $1 \times 10^{20} \text{ cm}^{-3}$ 、拡散深さ $0.2 \mu\text{m}$ の n^+ コンタクト領域を形成し、p ベース領域 153 の表面にコンタクト用の p^+ コンタクト領域 156 (表面濃度 $5 \times 10^{19} \text{ cm}^{-3}$ 、拡散深さ $0.5 \mu\text{m}$) を形成し、図示しない層間絶縁膜を形成し、コンタクトホー

ル開口後、ソース電極 1 6 1 およびドレイン電極 1 6 2 を形成する。

【0 0 3 5】

尚、p 拡散層 1 5 9 の濃度分布形成の仕方は上記に限らず、多様な製造方法が考えられる。また、p 拡散層 1 5 9 の領域数は 3 (1 5 9 a、1 5 9 b、1 5 9 c) に限定されるものではなく、耐圧クラス、熱酸化膜厚、実装状態、使用環境などにより異なる。また、n ウエル領域 1 5 2 は p ベース領域 1 5 3 を覆う必要は必ずしも必要なく、チャンネル領域 (L 部) に終端する構造 (p ベース領域 1 5 3 と表面で接する構造) でも本発明は機能する。

【0 0 3 6】

この構造では、表面電界分布は図 1 4 (a) のようになることがシミュレーションで確認されており、C 点、D 点、E 点、F 点の電界強度 E_C 、 E_D 、 E_E 、 E_F は 2×10^5 V/cm 以下となる。これは、p ベース領域 1 5 3 と n ウエル領域 1 5 2 と p n 接合から n ウエル領域 1 5 2 に広がる空乏領域が増加することと、n ウエル領域 1 5 2 と p 拡散層 1 5 9 との p n 接合からドレイン領域 1 5 4 近傍の p 拡散層 1 5 9 へ広がる空乏領域を増加することによる。そしてブレイクダウンは n ドレイン領域 1 5 4 下の n ウエル領域 1 5 2 と p 基板 1 5 1 の接合部 (G 点) で決まるようになる。

【0 0 3 7】

この構造では、長期高温・高電圧印加状態でも耐圧を安定に保証できる。また、この発明により、オン抵抗の大部分を占める p 拡散層 1 5 9 c 下の n ウエル領域 1 5 2 の領域が従来と比べ増加させることができ、オン抵抗を低減できる。n ウエル領域 1 5 2 を拡散形成した場合、不純物濃度の高い領域を増加させることができ、従来構造に比べ 5 % のオン抵抗低減ができる。

【0 0 3 8】

図 1 5 は、この発明の第 4 実施例の高耐圧デバイスの要部断面構造である。1 $50 \Omega \cdot \text{cm}$ 程度の高抵抗の p 基板 1 5 1 の表面層に n ウエル領域 1 6 4 を形成し、この n ウエル領域 1 6 4 の表面層に p ベース領域 1 5 3 を形成する。n ウエル領域 1 6 4 は、3 つの異なる不純物濃度を有する領域に分かれている。第 1 n ウエル領域 1 6 5、第 2 n ウエル領域 1 6 6、第 3 n ウエル領域 1 6 7 の表面濃度

は各々 $2.4 \times 10^{16} \text{ cm}^{-3}$ 、 $3.0 \times 10^{16} \text{ cm}^{-3}$ 、 $3.6 \times 10^{16} \text{ cm}^{-3}$ 、拡散深さは $4 \sim 6 \mu\text{m}$ である。各領域の長さの一例として、L p 1 は約 $25 \mu\text{m}$ 、L p 2 は約 $20 \mu\text{m}$ 、L p 3 は約 $25 \mu\text{m}$ 程度である。また、n ドリフト領域 (n ウェル領域 1 6 4 の L d 部) の表面には、表面濃度、拡散深さがことなる 3 つの p 領域で構成される p 拡散層 1 6 9 を形成する (700 V 耐圧保証の場合、L d は約 $70 \mu\text{m}$ である)。この p 拡散層 1 6 9 を形成するために、p 拡散層 1 6 9 全域で一括して、表面濃度 $5 \times 10^{16} \text{ cm}^{-3}$ 、拡散深さが $1.0 \mu\text{m}$ のボロンを導入する。導入されるボロン拡散深さ 1 6 8 は点線で示した。その結果、第 1 n ウェル領域 1 6 5 に対応する箇所が第 1 p 領域 1 6 9 a、第 2 n ウェル領域 1 6 6 に対応する箇所が第 2 p 領域 1 6 9 b、第 3 n ウェル領域 1 6 7 に対応する箇所が第 3 p 領域 1 6 9 c となる。

【 0 0 3 9 】

実際の製造工程においては、n ウェル領域の拡散としてイオン注入法により、L p 1 部、L p 2 部および L p 3 部を足した領域に、熱処理後、 $2.4 \times 10^{16} \text{ cm}^{-3}$ の表面濃度となるようなリンをドーピングし 1150°C 程度で 10 時間程度の熱処理 (ドライブ) を行う。つぎに、L p 2 部と L p 3 部を足した領域に熱処理後、 $0.6 \times 10^{16} \text{ cm}^{-3}$ の表面濃度となるようなリンを、そして L p 3 部に熱処理後、 $0.6 \times 10^{16} \text{ cm}^{-3}$ の表面濃度となるようなリンをそれぞれドーピングし、熱処理する。その後、p 拡散層 1 6 4 を形成するために、イオン注入法により、L p 1 部、L p 2 部および L p 3 部を足した領域に、熱処理後、表面濃度の $5 \times 10^{16} \text{ cm}^{-3}$ となるボロンをドーピングし、熱処理する。

【 0 0 4 0 】

前記の p ベース領域 1 5 3 の表面濃度は $3 \times 10^{16} \text{ cm}^{-3}$ 、拡散深さは $2 \mu\text{m}$ であり、この表面濃度によりパワー MOSFET のしきい値電圧が設定される。この後、厚さ $0.6 \mu\text{m}$ の熱酸化膜 1 6 0 を形成し、また、 25 nm のゲート酸化膜 1 6 3 を介してポリシリコンのゲート電極 1 5 7 を形成する。n ソース領域 1 5 5 および n ドレイン領域 1 5 4 に、図示しない表面濃度 $1 \times 10^{20} \text{ cm}^{-3}$ 、拡散深さ $0.2 \mu\text{m}$ の n^+ コンタクト領域 (表面濃度 $5 \times 10^{19} \text{ cm}^{-3}$ 、拡散深さ $0.5 \mu\text{m}$) を形成する。図中の 1 5 6 は p^+ コンタクト領域である。尚、n

ウエル領域 1 6 4 の濃度分布を形成する方法は、上記に限らず、多様な製造方法が考えられる。また、p 拡散層 1 6 9 の領域数は 3 つに限定されるものではなく、耐圧クラス、熱酸化膜厚、実装状態、使用環境などにより異なる。

【0 0 4 1】

この構造においても、第 3 実施例と同様の効果が期待できる。

前記の方法では、濃度の異なる領域で構成される拡散層を形成するためには、異なる濃度領域の数の分だけフォトマスクの枚数が必要となる。また、導電形の異なる拡散層を形成する場合にも、複数のフォトマスクが必要となる。そのため、製造コストが高くなる。これを解決する方法として、一つのフォトマスクで複数の濃度の異なる不純物拡散領域を形成する第二の方法がある。

【0 0 4 2】

つぎに、この第二の方法の概要について説明する。この方法は、濃度の異なる複数の不純物拡散領域を形成する場合や、異なる導電形の不純物拡散領域を形成する場合に、一つのフォトマスクで実現するものである。

この方法の一つは、イオン注入マスクを、材料やエッチング速度の異なる多層薄膜で形成し、一つのフォトマスクで多層薄膜の最上部の薄膜を加工した後、下層の薄膜を順次加工して、下層の薄膜ほど開口部が大きいイオン注入マスクを自己整合で形成し、このイオン注入マスクを用いて、一回のイオン注入で注入量の異なる不純物拡散領域を形成することである。

【0 0 4 3】

また、一つのフォトマスクで、異なる導電形の不純物イオンに対するイオン注入マスクを自己整合的に形成して、異なる導電形の不純物拡散領域を形成することにある。

尚、ここで自己整合とは、一つのフォトマスクで、相似形の複数のパターンが形成されることを意味する。

【0 0 4 4】

図 1 6 は、濃度の異なる複数の不純物拡散領域を形成する場合の概念的な工程で、同図 (a) から同図 (e) は、工程順に示した、工程断面図である。この不純物拡散領域は前記の p 拡散層に相当する。

シリコン基板 4 1 に SiO_2 膜 4 2 を形成し、フォトレジスト 4 3 を塗布する。フォトレジスト 4 3 を硬化させた後、フォトマスク 4 4 を介して、紫外線 4 5 をフォトレジスト 4 3 に照射し、露光後、エッチングして、拡散領域を形成すべき部分のフォトレジスト 4 3 に開口部 4 6 を形成する。(同図 (a))。つぎに、ドライエッチング法でフォトレジスト 4 3 の開口部 4 6 の SiO_2 膜 4 2 を除去する(同図 (b))。その後、フッ酸に浸漬し、横方向に任意の距離(ここでは領域 II)だけ、フォトレジスト 4 3 下の SiO_2 膜 4 2 を除去する(同図 (c))。そうすることで、イオン注入すべきシリコン基板 4 1 面が露出している部分(領域 I)と、フォトレジスト 4 3 だけでカバーされている部分(領域 II)と、 SiO_2 膜 4 2 とフォトレジスト 4 3 の両方でカバーされている部分(領域 III)の 3 つの領域が 1 つのフォトマスク 4 4 で自己整合的に形成されたことになる。

【 0 0 4 5 】

即ち、この状態で全面にイオン注入 4 7 をすると、I、II、III の各領域はそれぞれ、イオン注入阻止能が異なるため、それぞれの領域はイオン 4 8 の注入量の異なる領域となる。即ち、この場合は、注入量は I の領域 > II の領域 > III の領域の順になる(同図 (d))。その結果、イオン注入マスクを除去して熱拡散すると、濃度の異なる不純物拡散領域が連続的に形成された一つの p 領域 4 9 となる(同図 (e))。尚、イオンの飛程も領域毎に異なるので、拡散深さも若干異なったものとなる(同図 (e) では深さに関して強調して描かれている)。

【 0 0 4 6 】

つぎに、一つのフォトマスクを用いて、濃度の異なる複数の不純物拡散層を形成する場合と、異なる不純物拡散層を形成する場合について、具体的な実施例について説明する。

図 1 7 は、この発明の第 5 実施例の不純物拡散領域の形成方法を示す図で、同図 (a) から同図 (e) は、工程順に示した要部工程断面図である。これは、1 つのフォトマスク 1 0 0 で、3 つの p 領域 7、8、9 で p オフセット領域 1 0 を形成する方法である。

【 0 0 4 7 】

nシリコン基板1に1 μ mの膜厚のLTO-SiO₂膜2（低温酸化法で形成した酸化膜）を形成し、その上に1 μ mの膜厚のプラズマSiN膜3（プラズマCVD法で形成した窒化シリコン膜）を形成する。このプラズマSiN膜3上に1 μ mの膜厚のフォトレジスト4を塗布する。フォトレジスト4を硬化させた後、フォトマスク100を介して、紫外線101をフォトレジスト4に照射し、露光後、エッチングして、拡散領域を形成すべき部分のフォトレジスト4に開口部16を形成する（同図（a））。

【0048】

つぎに、ドライエッチング法でフォトレジスト4の開口部16のプラズマSiN膜3を除去する。このSiN膜3は、図示しないが、実は、その表面層に5nm程度のエッチング速度の速い層が形成された2層構造の膜である。このエッチング速度の速い層の形成方法としては、SiN膜3の表面を水素プラズマ中に晒し表面を改質する方法や、熱窒化シリコン膜SiNの上にプラズマCVD-SiN:H膜（CVD法で成膜した水素が少量はいった窒化シリコン膜のこと）を薄く堆積する方法などがある。このエッチング速度の速い層があるため、SiN膜3は、所定の横方向距離Xだけエッチングされ、そのエッチング面は図のようにテーパ状になる。この横方向距離Xの大きさは、SiN膜3の膜厚分のエッチング時間を上回るオーバーエッチング時間で制御できる。

【0049】

このドライエッチングではLTO-SiO₂膜2はエッチングされない。つぎに、フッ酸に浸漬し、プラズマSiN膜3をマスクとして、LTO-SiO₂膜2を、プラズマSiN膜3の開口端部から所定の横方向距離Yだけ湿式エッチングする。つぎに、フォトレジスト4とプラズマSiN膜3およびLTO-SiO₂膜2で構成されるイオン注入マスクを介して、ボロンイオン注入5を全面的に行う。このイオン注入でnシリコン基板に導入されたボロンイオン6の濃度は、フォトレジスト4の開口部16のA領域が一番高く、つぎに、フォトレジスト4のみとなっている箇所のB領域が高く、フォトレジスト4とプラズマSiN膜3の2層となっている箇所のC領域が一番低く、尚、フォトレジスト4とプラズマSiN膜3とLTO-SiO₂膜2の3層となっている箇所のD領域にはボロニイ

オン 6 がイオン注入で到達しないために、ボロンイオン 6 はない。勿論、各層を薄くすれば、この箇所にもボロンイオン 6 が存在するようになる（同図（b））。

【0050】

つぎに、イオン注入マスク（2、3、4 を合わせたもの）を除去し、熱拡散すると、A 領域、B 領域、C 領域は、それぞれ、第 1 p 領域 7、第 2 p 領域 8、第 3 p 領域 9 となり、第 1 p 領域 7 は濃度が一番高く、つぎに第 2 p 領域 8 が高く、第 3 p 領域 9 が一番低くなる。その結果、濃度の異なる不純物拡散領域が連続的に形成された一つの p 領域 10 となる（同図（c））。尚、イオンの飛程も領域毎に異なるので、拡散深さも若干異なったものとなる（同図（c）では深さに関して強調して描かれている）。

【0051】

つぎに、p ベース領域と p オフセット領域の一部を形成するために、パターニングされたフォトレジスト 11 をマスクにボロンイオン注入 13 を行う。ボロンイオン 12 のドーズ量は A 領域のドーズ量程度以上にする（同図（d））。

つぎに熱処理して、p 領域 14、15 を形成する。p 領域 14 は素子を形成するための p ベース領域となり、p 領域 15 は、前記の第 1、第 2、第 3 p 領域 7、8、9 と合わせて、濃度の異なる p オフセット領域となる（同図（e））。

【0052】

その後の工程は説明を省くが、最終的には、図 1 と同様の素子になる。

このようにすることで、一つのフォトマスク 100 を用いて、濃度の異なる複数の不純物拡散領域（7、8、9）を形成することができる。

図 18 は、この発明の第 6 実施例の不純物拡散領域の形成方法を示す図で、同図（a）から同図（d）は、工程順に示した要部工程断面図である。これは、一枚のフォトマスクで導電形の異なる 2 つの拡散層を形成する方法である。

【0053】

n シリコン基板 21 に 20 nm の膜厚の熱酸化膜である SiO_2 膜 23、200 nm の膜厚の熱窒化シリコン膜である SiN 膜 24 を順次積層し、その上にフォトレジスト 25 を塗布する。フォトレジスト 25 を硬化させた後、フォトマス

ク 2 0 0 を介して紫外線 2 0 1 を照射し、拡散すべきところが窓開けされたレジストパターニングを行う（同図（a））。ここで、S i N 膜 2 4 は、前記と同様に、その表面層に 5 n m 程度のエッチング速度の速い層が形成された 2 層構造の膜である。この 2 層構造膜のため、開口部を通してプラズマエッチングすることにより、フォトリジスト 2 5 下の S i N 膜 2 4 も横方向にエッチングされる。横方向のエッチング量 X は、オーバーエッチング時間で制御できる。

【 0 0 5 4 】

つぎに、ボロンイオン注入 2 6 を行い、フォトリジスト 2 5 の窓開けされた部分のみにボロンイオン 2 7 を打ち込む（同図（b））。

その後、フォトリジスト 2 5 を除去して打ち込まれたボロンイオン 2 7 のドライブ拡散を酸化性雰囲気で行うと、 p^+ 領域 2 9 と同時に S i N 膜 2 4 のない部分には 1 μ m 程度の厚い酸化膜である L O C O S 2 8 が形成される（同図（c））。この L O C O S 2 8 がつぎの不純物導入のイオン注入マスクとなる。即ち、同図（c）に示すように、反対の導電形であるリンイオン注入 3 0 を行うと、L O C O S 2 8 のない部分のみにリンイオン 3 1 がイオン注入され、引き続くドライブ拡散で n^+ 領域 3 2 が形成される。即ち、この一連のプロセスで、一枚のフォトマスク 2 0 0 で導電形が異なる拡散領域（2 9、3 2）が形成される（同図（d））。

このようにすることで、一枚のフォトマスクを用いて、導電形の異なる不純物拡散領域を形成することができる。

【 0 0 5 5 】

【発明の効果】

この発明によれば、濃度の異なる不純物拡散領域で構成されるオフセット領域を形成することで、耐圧の安定化を図ることができる。

また、一つのフォトマスクで濃度の異なる不純物拡散領域や異なる導電形の不純物拡散領域を形成することで、製造コストの低減を図ることができる。

【図面の簡単な説明】

【図 1】

この発明の第 1 実施例の高耐圧デバイスの要部断面図

【図 2】

単一の p オフセット領域と、濃度の異なる p 領域で構成される p オフセット領域とでの電界強度分布を比較した図

【図 3】

この発明の第 2 実施例の高耐圧デバイスの要部製造工程図

【図 4】

図 3 に続く、この発明の第 2 実施例の高耐圧デバイスの要部製造工程図

【図 5】

図 4 に続く、この発明の第 2 実施例の高耐圧デバイスの要部製造工程図

【図 6】

図 5 に続く、この発明の第 2 実施例の高耐圧デバイスの要部製造工程図

【図 7】

図 6 に続く、この発明の第 2 実施例の高耐圧デバイスの要部製造工程図

【図 8】

図 7 に続く、この発明の第 2 実施例の高耐圧デバイスの要部製造工程図

【図 9】

図 8 に続く、この発明の第 2 実施例の高耐圧デバイスの要部製造工程図

【図 10】

図 9 に続く、この発明の第 2 実施例の高耐圧デバイスの要部製造工程図

【図 11】

図 10 に続く、この発明の第 2 実施例の高耐圧デバイスの要部製造工程図

【図 12】

図 11 に続く、この発明の第 2 実施例の高耐圧デバイスの要部製造工程図

【図 13】

この発明の第 3 実施例の高耐圧デバイスの要部断面図

【図 14】

図 13 の高耐圧デバイスにおいて、(a) は電界強度分布を示す図で、(b) は要部断面図

【図 15】

この発明の第4実施例の高耐圧デバイスの要部断面構造

【図16】

濃度の異なる複数の不純物拡散領域を形成する場合の概念的な工程で、(a)から(e)は、工程順に示した、工程断面図

【図17】

この発明の第5実施例の不純物拡散領域の形成方法で、(a)から(e)は、工程順に示した要部工程断面図

【図18】

この発明の第6実施例の不純物拡散領域の形成方法で、(a)から(d)は、工程順に示した要部工程断面図

【図19】

濃度の異なる複数のp領域を形成した場合の図

【図20】

イオン注入マスク材の厚さを変えて、濃度の異なる複数のp領域を形成した場合の図

【図21】

従来の高耐圧デバイスの要部断面図

【図22】

従来の不純物拡散領域を形成する方法の一例を示す図であり、(a)はイオン注入工程の図、(b)は熱拡散工程の図

【図23】

従来の高耐圧横形パワーMOSFETの断面図

【図24】

従来の高耐圧デバイスにおいて、(a)は電界強度分布を示す図で、(b)は要部断面図

【符号の説明】

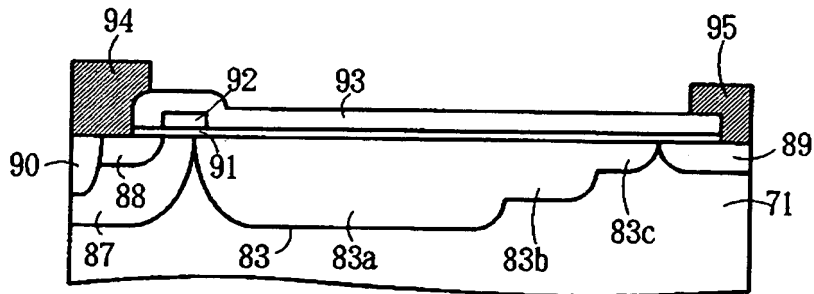
- 1、21 nシリコン基板
- 2 LTO-SiO₂膜
- 3 プラズマSiN膜

- 4、11、25、43 フォトレジスト
- 16、46、46 開口部
- 5、13、26 ボロンイオン注入
- 6、12、27 ボロンイオン
- 7、83a、159a、169a 第1p領域
- 8、83b、159b、169b 第2p領域
- 9、83c、159c、169c 第3p領域
- 10、14、15、22、49 p領域
- 23 SiO₂ 膜
- 24 SiN膜
- 28 LOCOS
- 29 p⁺ 領域
- 30 リンイオン注入
- 31 リンイオン
- 32 n⁺ 領域
- 41 シリコン基板
- 42 SiO₂ 膜
- 44、100、200 フォトマスク
- 45、101、201 紫外線
- 47 イオン注入
- 48 イオン
- 71 nシリコン基板
- 83 pオフセット
- 87 p領域 (pベース領域)
- 88 nソース領域
- 89 nドレイン領域
- 90 p⁺ コンタクト領域
- 91、163 ゲート絶縁膜
- 92、157 ゲート電極

- 9 3、1 6 0 絶縁膜
- 9 4、1 6 1 ソース電極
- 9 5、1 6 2 ドレイン電極
- 1 5 1 p 基板
- 1 5 2、1 6 4 n ウェル領域
- 1 5 3 p ベース領域
- 1 5 4 n ドレイン領域
- 1 5 5 n ソース領域
- 1 5 6 p^+ コンタクト領域
- 1 5 8、1 6 8 ボロン拡散深さ
- 1 5 9、1 6 9 p 拡散層 (p オフセット領域)
- 1 6 5 第 1 n ウェル領域
- 1 6 6 第 2 n ウェル領域
- 1 6 7 第 3 n ウェル領域

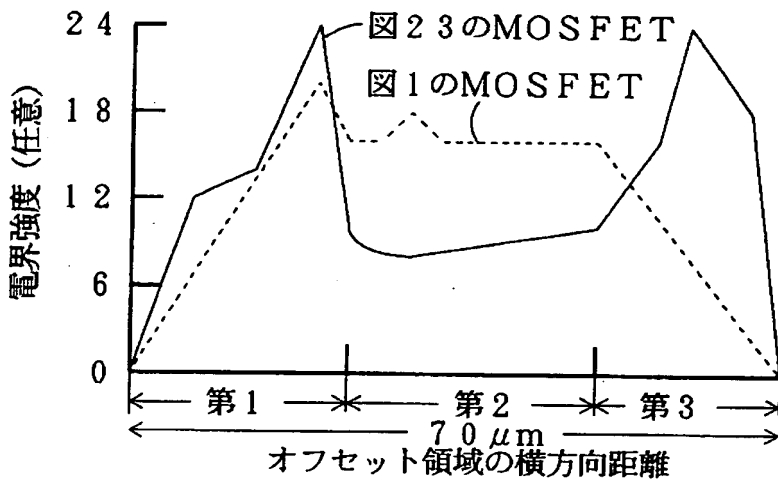
【書類名】 図面

【図 1】

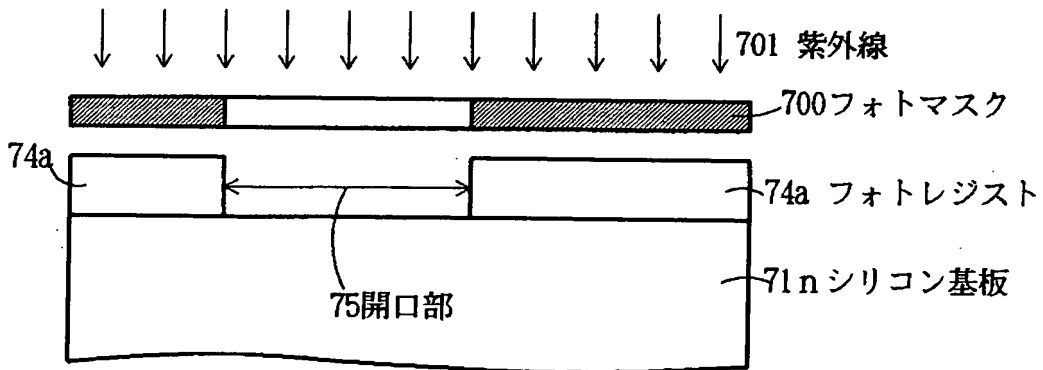


- | | |
|-------------------------|---------------------------------|
| 71 . . . n シリコン基板 | 89 . . . n ドレイン領域 |
| 83 . . . p オフセット領域 | 90 . . . p ⁺ コンタクト領域 |
| 83a . . . 第 1 p 領域 | 91 . . . ゲート絶縁膜 |
| 83b . . . 第 2 p 領域 | 92 . . . ゲート電極 |
| 83c . . . 第 3 p 領域 | 93 . . . 絶縁膜 |
| 87 . . . p 領域 (p ベース領域) | 94 . . . ソース電極 |
| 88 . . . n ソース領域 | 95 . . . ドレイン電極 |

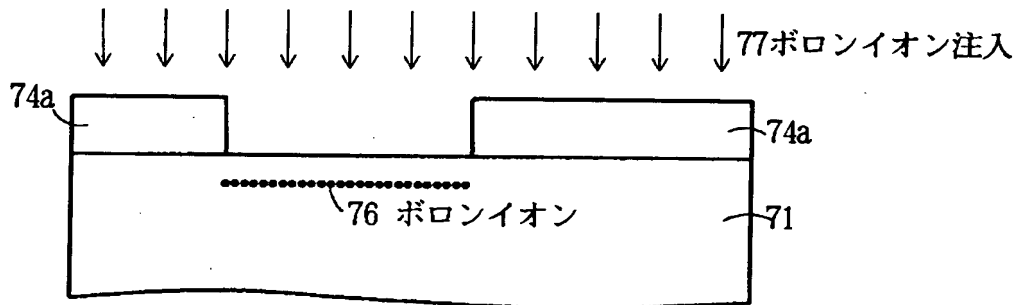
【図 2】



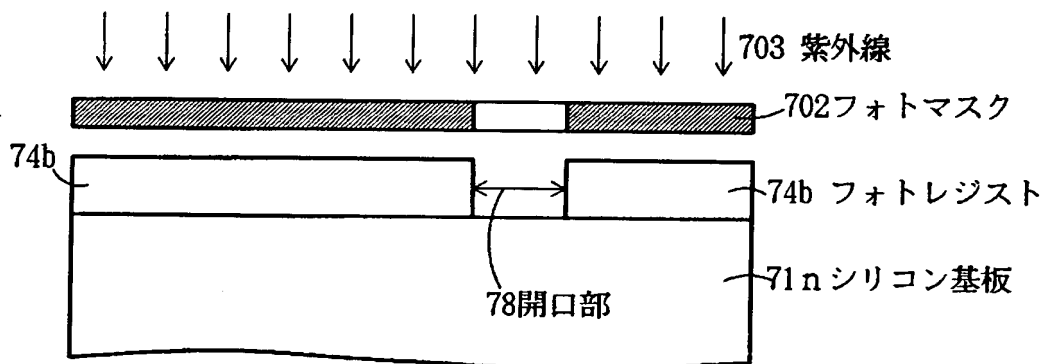
【図 3】



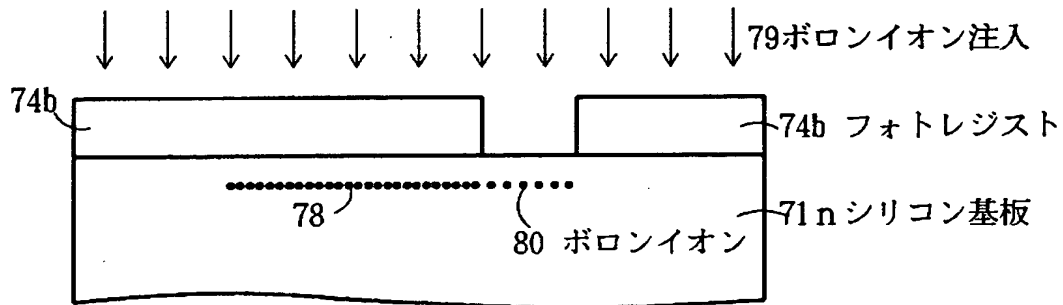
【図 4】



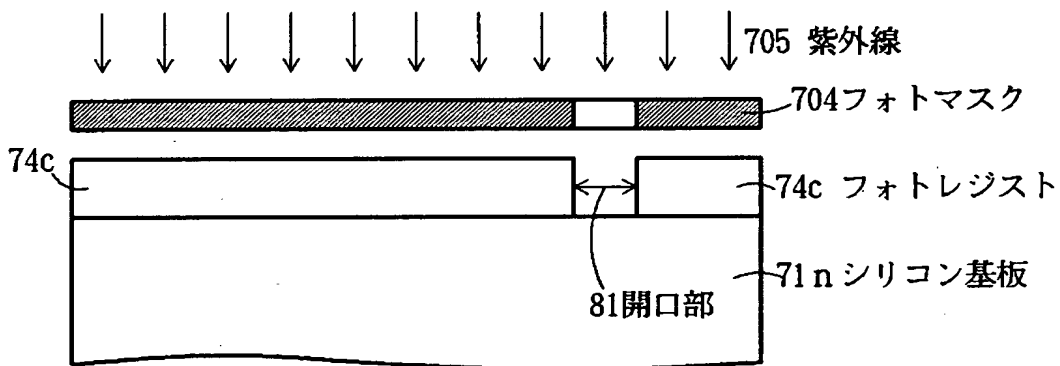
【図 5】



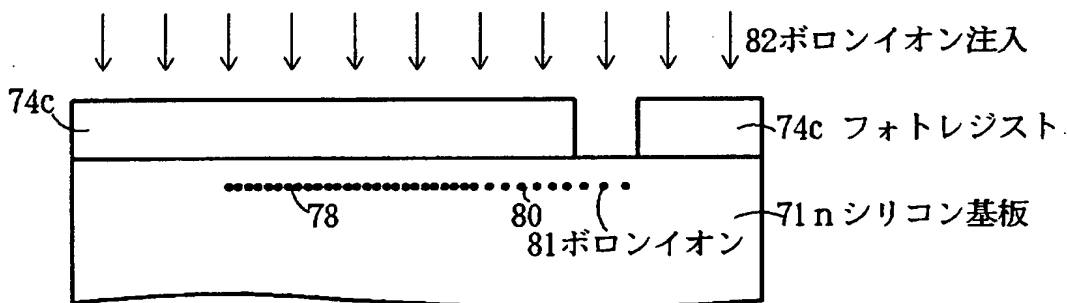
【図 6】



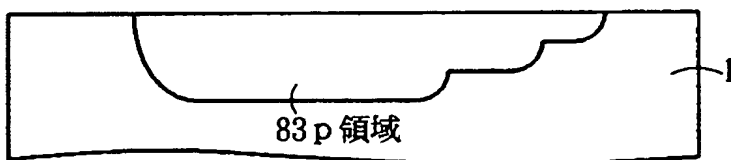
【図 7】



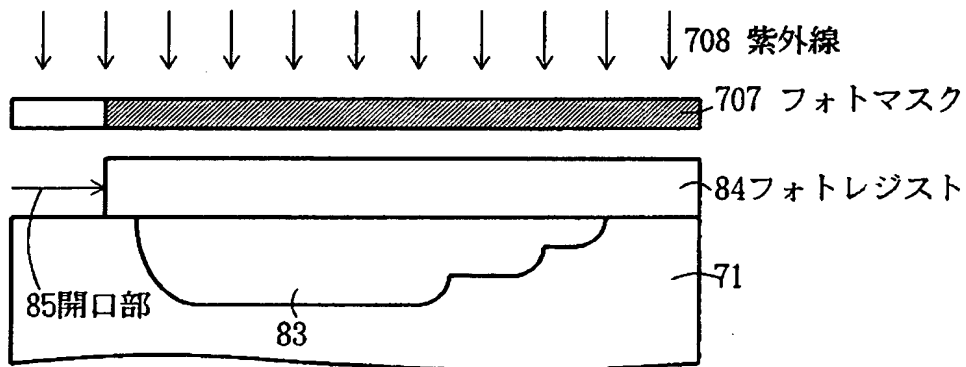
【図 8】



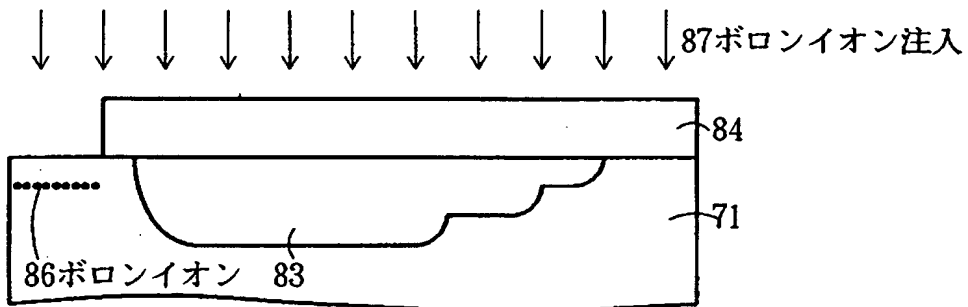
【図 9】



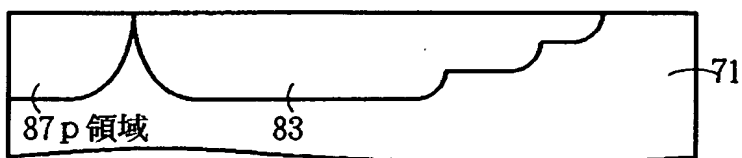
【図 1 0】



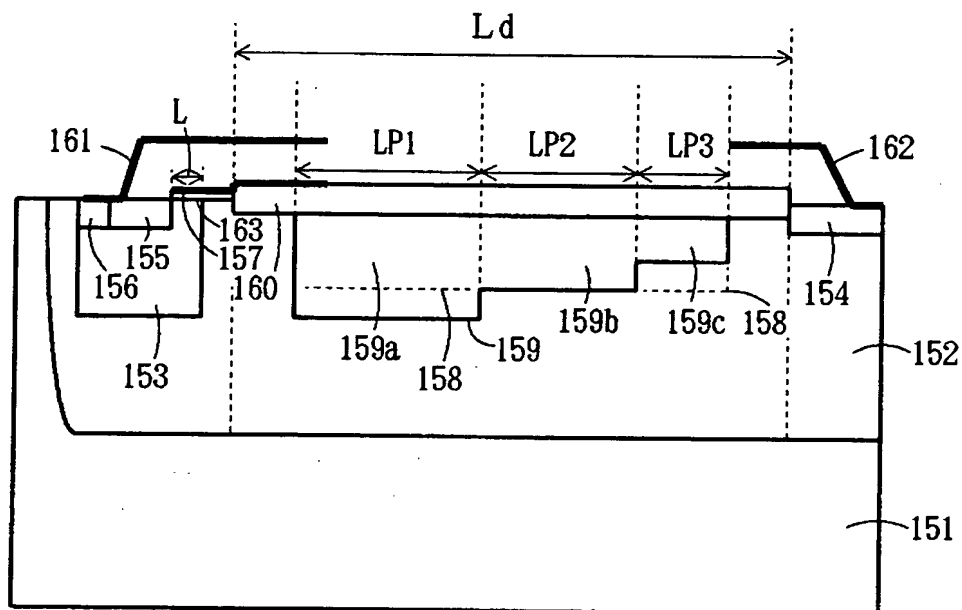
【図 1 1】



【図 1 2】

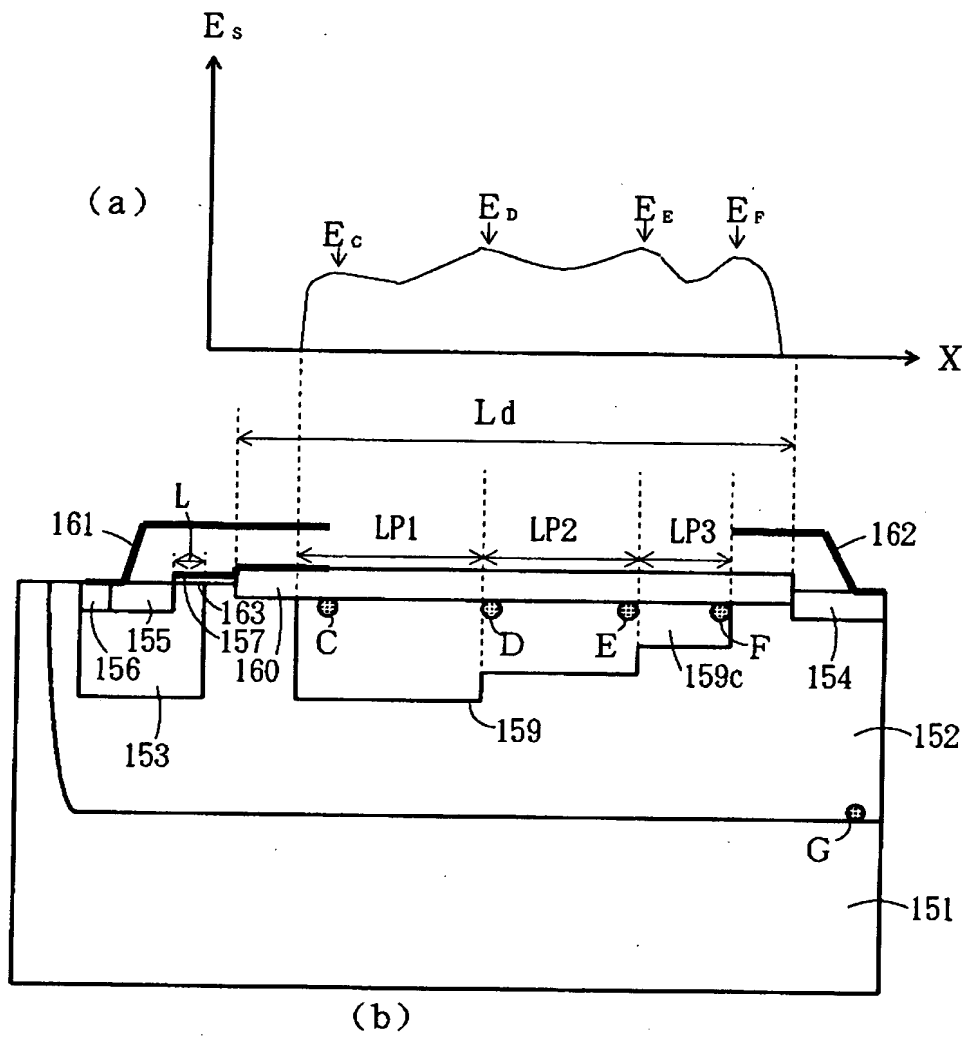


【図 1 3】

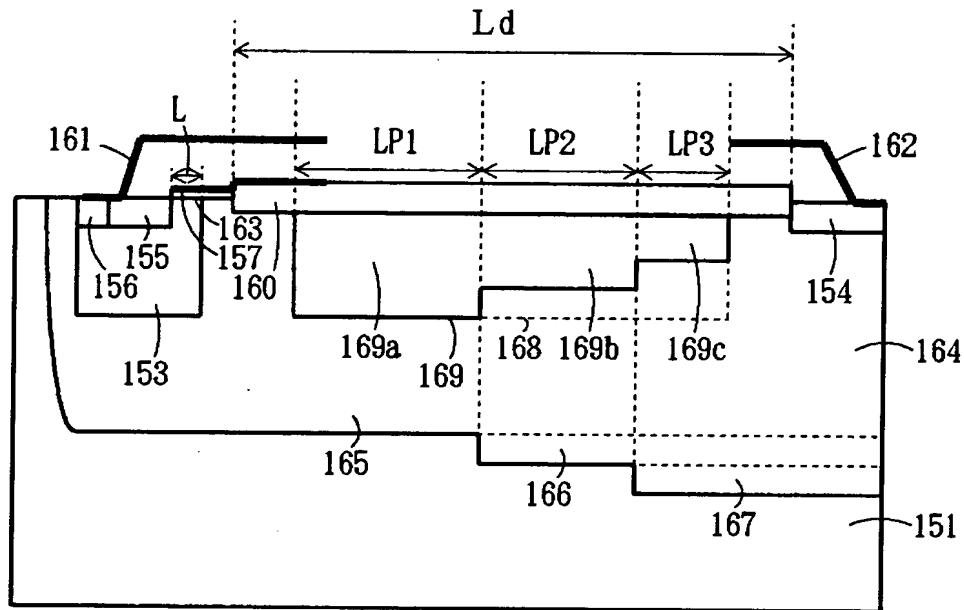


- 151 . . . p 基板
- 152 . . . n ウェル領域
- 153 . . . p ベース領域
- 154 . . . n ドレイン領域
- 155 . . . n ソース領域
- 156 . . . p⁺ コンタクト領域
- 157 . . . ゲート電極
- 158 . . . ボロン拡散深さ
- 159 . . . p 拡散層 (p オフセット領域)
- 159a . . . 第 1 p 領域
- 159b . . . 第 2 p 領域
- 159c . . . 第 3 p 領域
- 160 . . . 絶縁膜
- 161 . . . ソース電極
- 162 . . . ドレイン電極
- 163 . . . ゲート絶縁膜

【図 1 4】

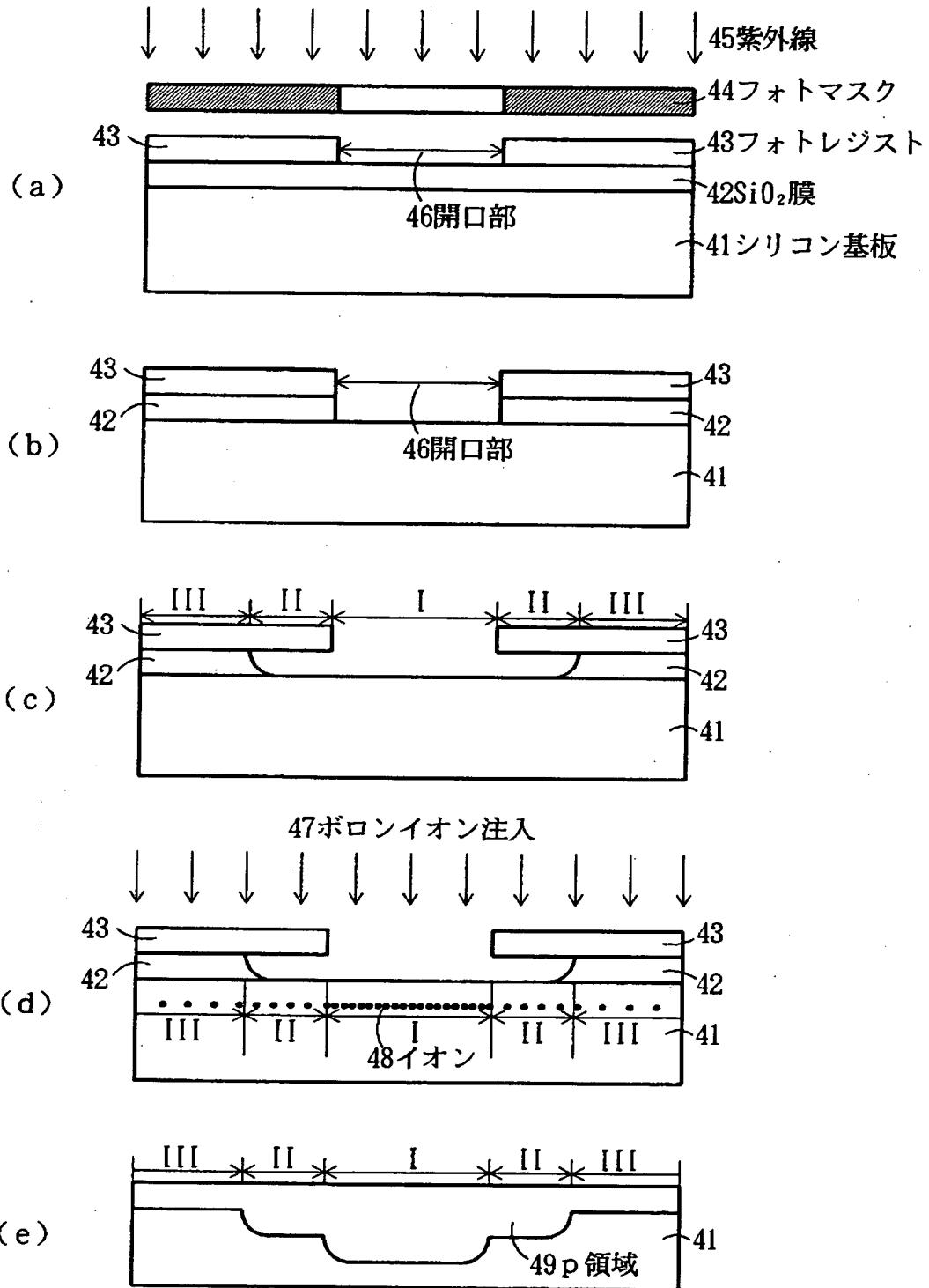


【図 1 5】

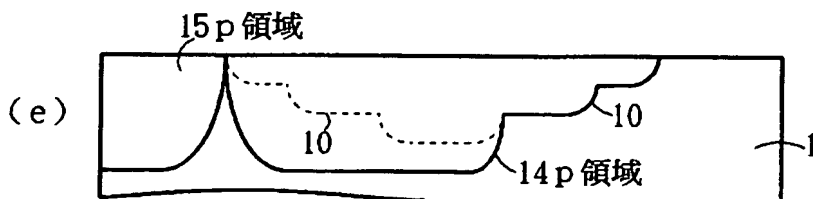
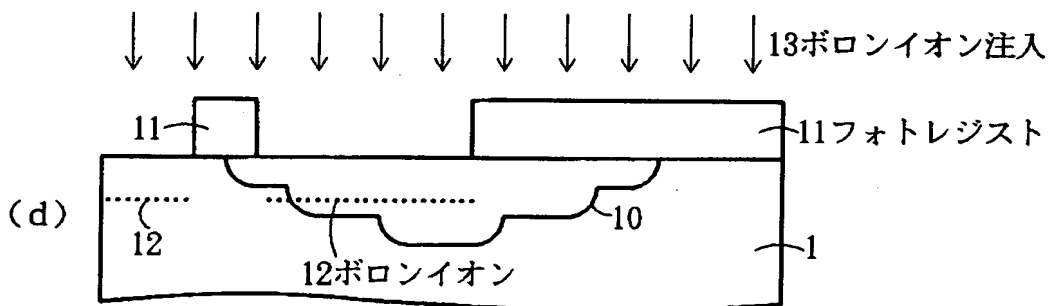
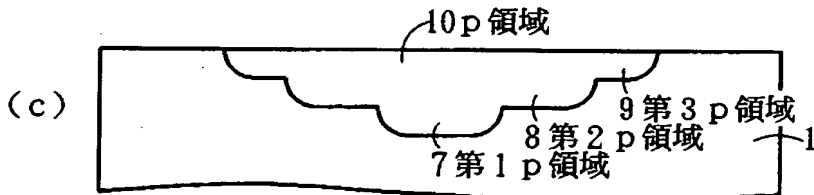
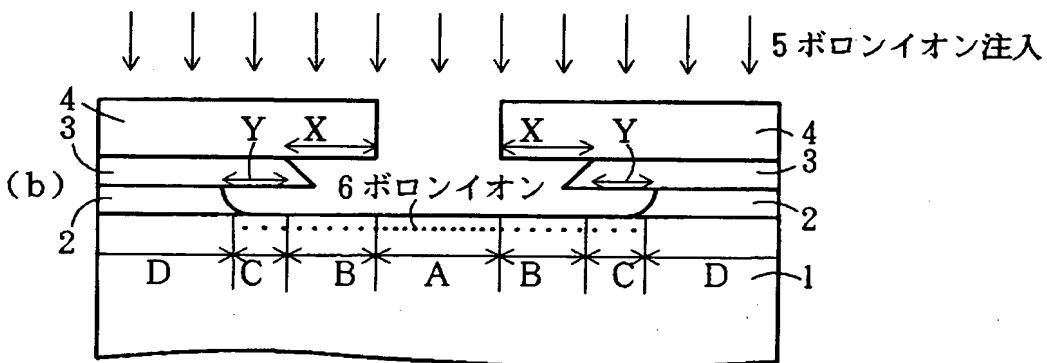
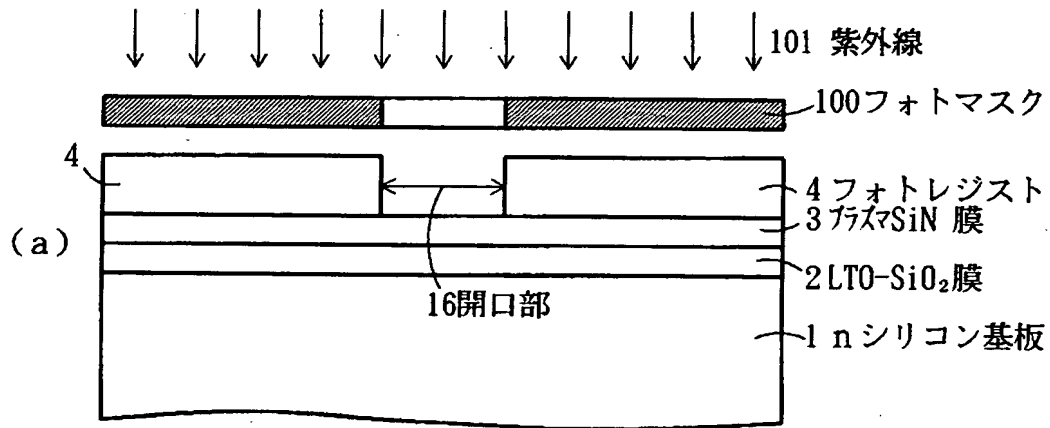


- 164 . . . n ウェル領域
- 165 . . . 第 1 n ウェル領域
- 166 . . . 第 2 n ウェル領域
- 167 . . . 第 3 n ウェル領域
- 168 . . . ボロン拡散深さ
- 169 . . . p 拡散層
- 169a . . . 第 1 p 領域
- 169b . . . 第 2 p 領域
- 169c . . . 第 3 p 領域

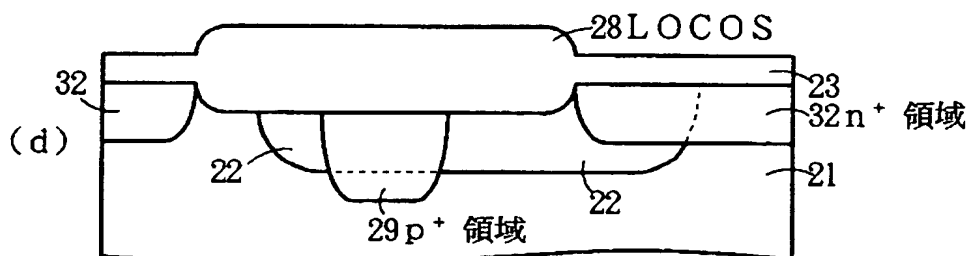
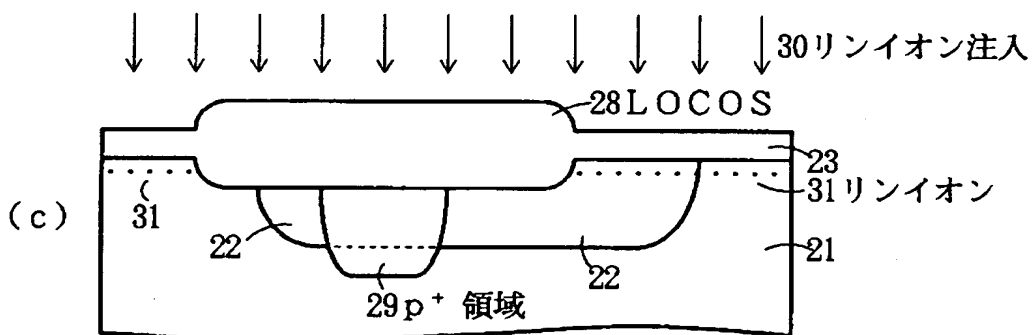
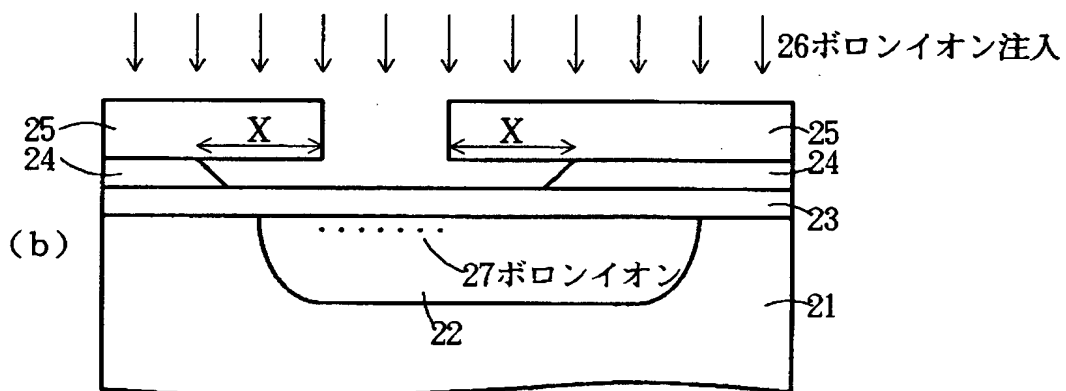
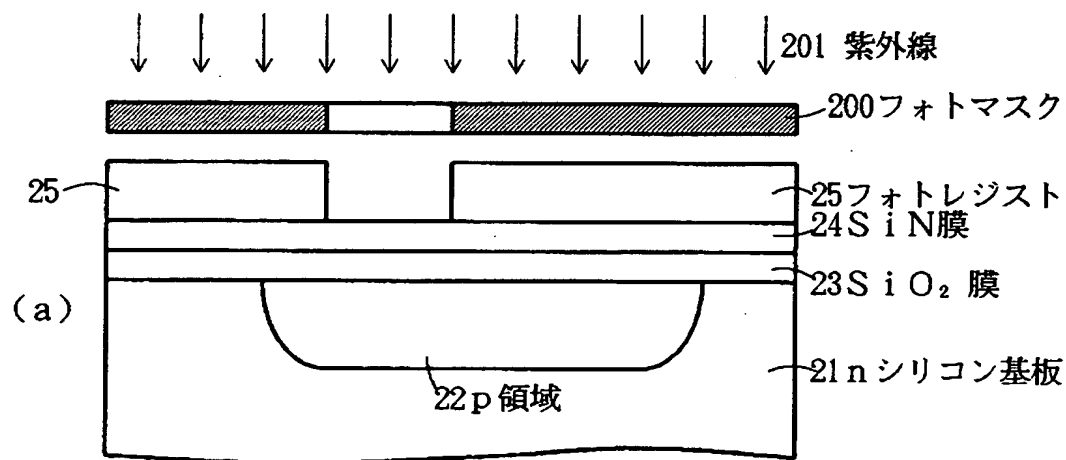
【図 1 6】



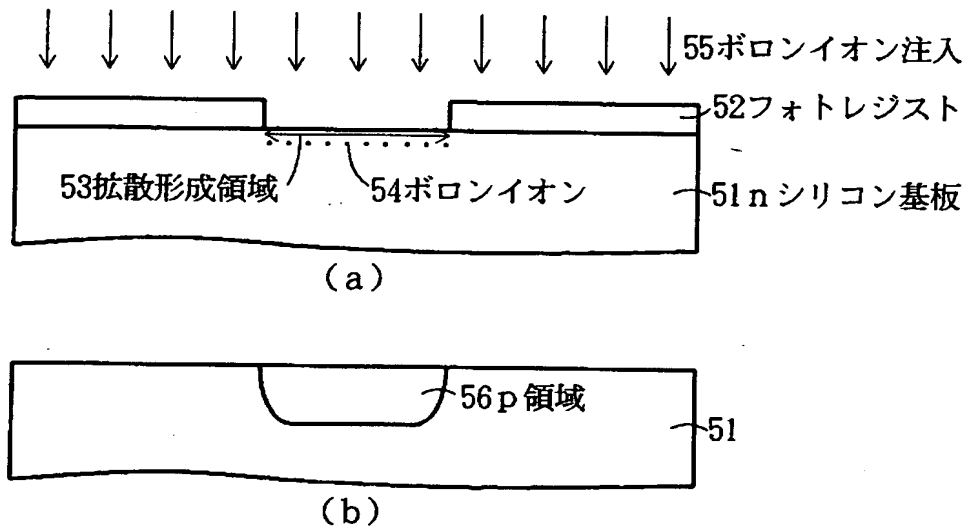
【図 1 7】



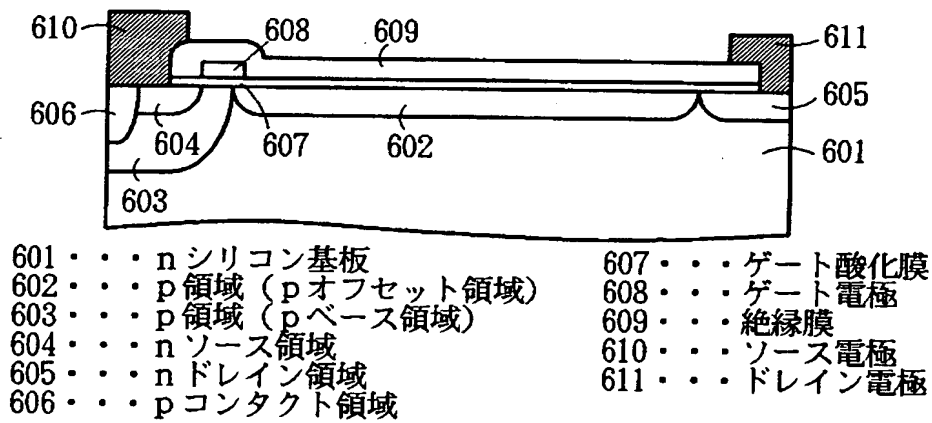
【図 1 8】



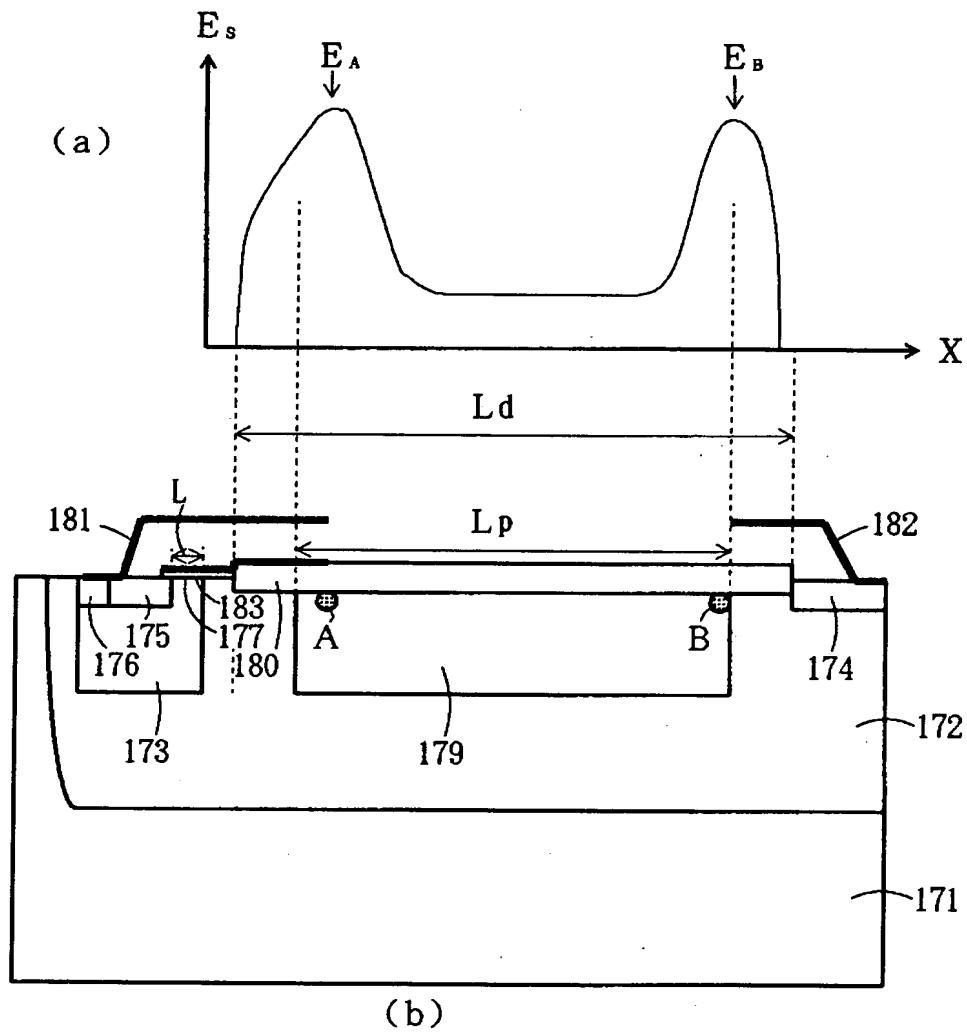
【図 2 2】



【図 2 3】



【図 2 4】



【書類名】 要約書

【要約】

【課題】 低コストで、耐圧の安定化を図ることができる高耐圧デバイスおよびその製造方法とこの高耐圧デバイスに適用される不純物拡散領域の形成方法を提供すること。

【解決手段】 nシリコン基板71の表面層に、pベース領域87、nドレイン89、pオフセット領域83を形成し、pベース領域87の表面層にnソース領域と88とpコンタクト領域90を形成する。pオフセット領域83は、高い濃度と拡散深さの深い第1p領域83aと、中間の濃度と拡散深さの第2p領域83bと、低い濃度と拡散深さの浅い第3p領域83cで構成される。nソース領域88とnシリコン基板（またはpオフセット領域83）に挟まれたp領域87上にゲート絶縁膜91を介してゲート電極が形成される。ゲート電極92上とpオフセット領域83上に絶縁膜93を形成し、nソース領域88上、nドレイン領域89上にソース電極94、ドレイン電極95をそれぞれ形成する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 0 - 1 4 6 7 0 4
受付番号	5 0 0 0 0 6 1 5 0 7 1
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 2 年 5 月 2 3 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】	000005234
【住所又は居所】	神奈川県川崎市川崎区田辺新田 1 番 1 号
【氏名又は名称】	富士電機株式会社

【代理人】

申請人	
【識別番号】	100088339
【住所又は居所】	東京都日野市富士町 1 番地 富士電機株式会社内
【氏名又は名称】	篠部 正治

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 3 4]

1. 変更年月日 1 9 9 0 年 9 月 5 日

[変更理由] 新規登録

住 所 神奈川県川崎市川崎区田辺新田 1 番 1 号
氏 名 富士電機株式会社